

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-119147

(43)Date of publication of application : 27.04.2001

(51)Int.Cl.

H05K 3/46
H01L 25/065
H01L 25/07
H01L 25/18

(21)Application number : 11-293023

(71)Applicant : SONY CORP

(22)Date of filing : 14.10.1999

(72)Inventor : OYA YOICHI
NAKAMURA EMI

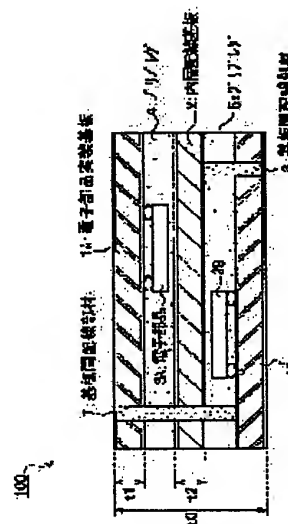
(54) MULTILAYER BOARD INCORPORATING ELECTRONIC DEVICE AND PRODUCTION METHOD THEREFOR

(57)Abstract:

実施形態としての電子部品内蔵多層基板100の構造例

PROBLEM TO BE SOLVED: To further increase the mounting area of electronic device three- dimensionally by contriving a method for making thin a multilayer board and to mount electronic devices at high density.

SOLUTION: The multilayer board incorporating electronic devices comprises electronic devices 3A, 3B, boards 1A, 1B mounting the electronic devices 3A, 3B, prepregs 4, 5 laminated on the mounting boards 1A, 1B while sealing the electronic devices 3A, 3B, and an inner layer wiring board 2 laminated on the prepregs 4, 5 while being connected electrically with the mounting boards 1A, 1B. Under state of an inter-board insulating member, the prepregs 4, 5 are provided with containing regions 4A, 5A of substantially the same size as the electronic devices 3A, 3B. Under a state where the electronic devices 3A, 3B are inserted into the containing regions 4A, 5A, the mounting boards 1A, 1B and the wiring circuit board 2 are hot pressed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-119147

(P2001-119147A)

(43) 公開日 平成13年4月27日 (2001.4.27)

(51) Int.Cl.

識別記号

F I

ターミナル (参考)

H 0 5 K 3/46

H 0 5 K 3/46

Q 5 E 3 4 6

H 0 1 L 25/065

H 0 1 L 25/08

Z

25/07

25/18

審査請求 未請求 請求項の数7 O L (全 7 頁)

(21) 出願番号

特願平11-293023

(22) 出願日

平成11年10月14日 (1999.10.14)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 大矢 洋一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 中村 恵美

岐阜県美濃加茂市本郷町9丁目15番22号
ソニー美濃加茂株式会社内

(74) 代理人 100090376

弁理士 山口 邦夫 (外1名)

Fターム (参考) 5E346 EE09 FF18 FF24 FF45 GG08

GG09 GG31 HH07 HH31

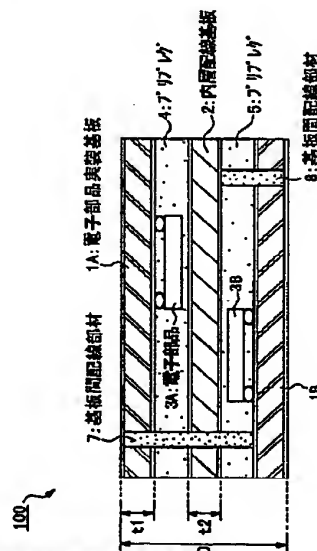
(54) 【発明の名称】 電子部品内蔵多層基板及びその製造方法

(57) 【要約】

【課題】 当該多層基板の薄型化方法を工夫して、更なる電子部品の実装面積を積層方向に立体的に増加できるようにすると共に、電子部品を高密度に実装できるようにする。

【解決手段】 電子部品3A、3Bと、この電子部品3A、3Bを実装した電子部品実装基板1A、1Bと、この電子部品実装基板1A、1Bに積層されると共に、電子部品3A、3Bを封じ込んだプリプレグ4、5と、このプリプレグ4、5に積層されると共に、電子部品実装基板1A、1Bに電氣的に接続された内層配線基板2とを備え、このプリプレグ4、5は予め基板間用の絶縁部材の状態において、電子部品3A、3Bの大きさと同ほ等しい収納領域4A、5Aが設けられ、この収納領域4A、5Aに電子部品3A、3Bを挿入した状態で、電子部品実装基板1A、1Bと配線回路基板2とが熱加圧されて成るものである。

実施形態としての電子部品内蔵多層基板100の構造例



【特許請求の範囲】

【請求項1】 電子部品と、

前記電子部品を実装した電子部品実装基板と、
前記電子部品実装基板に積層されると共に、前記電子部品を封じ込んだ基板間絶縁層と、
前記基板間絶縁層に積層されると共に、前記電子部品実装基板に電氣的に接続された配線回路基板とを備え、
前記基板間絶縁層は、
予め基板間用の絶縁部材において、電子部品の大きさとほぼ等しい収納領域が設けられ、前記収納領域に電子部品を挿入した状態で、前記電子部品実装基板と配線回路基板とが熱加圧されて成ることを特徴とする電子部品内蔵多層基板。

【請求項2】 電子部品を回路基板に実装して電子部品実装基板を形成する工程と、
前記電子部品の大きさにほぼ等しい収納領域を有した基板間用の絶縁部材を形成する工程と、
前記収納領域と電子部品とを位置合わせをして前記電子部品実装基板上に前記基板間用の絶縁部材を積層する工程と、
前記基板間用の絶縁部材上に配線回路基板を積層する工程と、
前記電子部品実装基板、基板間用の絶縁部材及び配線回路基板を熱加圧して貼合する工程とを有することを特徴とする電子部品内蔵多層基板の製造方法。

【請求項3】 前記配線回路基板又は電子部品実装基板の所定位置に、予め前記基板間用の絶縁部材を貫通する程度の長さの金属性の凸状の突起部が形成され、
前記電子部品実装基板、基板間用の絶縁部材及び配線回路基板の熱加圧工程による前記突起部の変形によって前記電子部品実装基板と配線回路基板とを電氣的に接続するようになされたことを特徴とする請求項2に記載の電子部品内蔵多層基板の製造方法。

【請求項4】 前記突起部の変形による応力を利用して前記電子部品実装基板上の電子部品の隅々に基板間用の絶縁部材を周り込ませるようにしたことを特徴とする請求項2に記載の電子部品内蔵多層基板の製造方法。

【請求項5】 前記電子部品実装基板、基板間用の絶縁部材及び配線回路基板とを同一の熱処理工程により加圧熱接合することを特徴とする請求項2に記載の電子部品内蔵多層基板の製造方法。

【請求項6】 前記電子部品を実装して電子部品実装基板を形成した後に、前記電子部品実装基板毎に電氣的な検査を行うことを特徴とする請求項2に記載の電子部品内蔵多層基板の製造方法。

【請求項7】 前記電子部品を実装した電子部品実装基板から動作検査用の電極を引き出すことを特徴とする請求項2に記載の電子部品内蔵多層基板の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置（LSI）や、抵抗、コンデンサなどを高密度実装した携帯端末装置などに適用して好適な電子部品内蔵多層基板及びその製造方法に関する。詳しくは、LSIや、抵抗、コンデンサなど電子部品を実装した回路基板と、内層用の配線回路基板とを熱加圧する工程において、これらの電子部品の隅々に基板間用の絶縁部材を周り込ませるように電子部品を封じ込んで、更なる電子部品の実装面積を積層方向に立体的に増加できるようにすると共に、電子部品を高密度に実装できるようにしたものである。

【0002】

【従来の技術】近年、携帯電話機や、携帯用のパーソナルコンピュータなどの携帯端末装置に、ベアチップ状の半導体集積回路装置（以下単にLSIチップという）を実装したLSI実装基板が使用されるようになってきた。この種の実装基板には個々のLSIチップがモールド成形されることなく、複数のLSIチップが実装基板の一方の面に平面的に並べて配置され、他方の面に抵抗や、コンデンサなどの電子部品が実装されている。

【0003】

【発明が解決しようとする課題】ところで、従来方式の電子部品実装基板によれば、電子部品が平面的に並べて配置されるので、電子部品の高密度な実装要求に対して、部品搭載面積に限界を生ずるに至っている。従って、近年のプリント配線板の小型化、つまり、電子機器の小型化の要求に満足できなくなってきた。

【0004】この種の問題に対して、技術文献である特開平2-164096号公報の「多層電子回路基板とその製造方法」には、電子回路を構成する回路素子をプリント配線基板の層間に内蔵し、電子回路の高密度な実装を図ることが記載されている。また、特開平5-343856号公報の「多層プリント配線基板及びその製造方法」には、電子回路などを構成するハイブリッドモジュールをプリント配線基板間に挟み込み、電子回路などを高密度に実装することが記載されている。

【0005】更に、特開平3-14293号公報の「多層高密度実装モジュール」には、電子回路などを中間層に内蔵したプリント配線基板を積層する際に、ハンダパンブと接する面に白金、あるいはパラジウムメッキを施すことが記載されている。いずれの技術文献も、基板間用の絶縁部材によって電子部品を封止しては平坦化して積層する構造が採られている。絶縁部材による封止及び平坦化は工程数が増加し、更なる電子部品の高密度実装の妨げとなっている。

【0006】そこで、この発明はこのような従来の課題を解決したものであって、当該多層回路基板の薄型化方法を工夫して、更なる電子部品の実装面積を積層方向に立体的に増加できるようにすると共に、電子部品を高密度に実装できるようにした電子部品内蔵多層基板及びそ

の製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】 上述した課題は、電子部品と、この電子部品を実装した電子部品実装基板と、この電子部品実装基板に積層されると共に、電子部品を封じ込んだ基板間絶縁層と、この基板間絶縁層に積層されると共に、電子部品実装基板に電気的に接続された配線回路基板とを備え、この基板間絶縁層は予め基板間用の絶縁部材に電子部品の大きさとほぼ等しい収納領域が設けられ、この収納領域に電子部品を挿入した状態で、電子部品実装基板と配線回路基板とが熱加圧されて成ることを特徴とする電子部品内蔵多層基板によって解決される。

【0008】 本発明に係る電子部品内蔵多層基板によれば、電子部品実装基板と配線回路基板との熱加圧工程において、電子部品の隅々に基板間用の絶縁材料を周り込ませるように電子部品を封じ込むことができる。従って、更なる電子部品の実装面積を積層方向に立体的に増加すること、及び、電子部品の高密度実装を行うことができる。

【0009】 本発明に係る電子部品内蔵多層基板の製造方法は、電子部品を回路基板に実装して電子部品実装基板を形成する工程と、この電子部品の大きさにほぼ等しい収納領域を有した基板間用の絶縁部材を形成する工程と、この収納領域と電子部品とを位置合わせをして電子部品実装基板上に基板間用の絶縁部材を積層する工程と、この基板間用の絶縁部材上に配線回路基板を積層する工程と、この電子部品実装基板、基板間用の絶縁部材及び配線回路基板を熱加圧して貼合する工程とを有することを特徴とするものである。

【0010】 本発明に係る電子部品内蔵多層基板の製造方法によれば、電子部品実装基板上の電子部品の隅々に基板間用の絶縁部材を周り込ませることができるので、電子部品実装基板と配線回路基板との間に電子部品を再現性良く封じ込むことができる。従って、工程数を削減化すること、更なる電子部品の実装面積を積層方向に立体的に増加すること、及び、電子部品の高密度実装を行うことができる。

【0011】

【発明の実施の形態】 続いて、この発明に係る電子部品内蔵多層基板及びその製造方法の一実施の形態について、図面を参照しながら説明をする。図1は実施形態としての電子部品内蔵多層基板の構成例を示す断面図である。この実施形態では、LSIや、抵抗、コンデンサなど電子部品を実装した回路基板と、内層用の配線回路基板とを熱加圧する工程において、これらの電子部品の隅々に基板間用の絶縁部材を周り込ませるように電子部品を封じ込んで、更なる電子部品の実装面積を積層方向に立体的に増加できるようにすると共に、電子部品を高密度に実装できるようにしたものである。

【0012】 図1に示す電子部品内蔵多層基板100は半導体集積回路装置(LSI)や、抵抗、コンデンサなどの電子部品3A、3Bを高密度に実装したものである。電子部品3A、3Bは厚みが数百 μm 程度である。電子部品内蔵多層基板100の厚みは t_0 であり、その厚み t_0 は電子部品3A、3Bの積層数にもよるが1mm前後～数mm程度である。

【0013】 図1に示す電子部品内蔵多層基板100の例では、一方の面に電子部品3Aを実装した厚み t_1 の電子部品実装基板1Aが、基板間絶縁層としての多層化接着用のプリプレグ(層)4を挟んで配線回路基板としての厚み t_2 の内層配線基板2の一方の面に積層されると共に、電子部品実装基板1A及び内層配線基板2間がそのプリプレグ4により接着される。

【0014】 この例では、その内層配線基板2の他方の面に、他のプリプレグ5を挟んで同様の厚みを有して、他の電子部品実装基板1Bが積層されると共に、電子部品実装基板1B及び内層配線基板2間がそのプリプレグ(層)5により接着され、電子部品実装基板1A及び内層配線基板2との間や、その内層配線基板2及び電子部品実装基板1Bとの間には各々のプリプレグ4、5を貫くように導電性の部材としての基板間配線部材7、8が設けられ、この基板間配線部材7、8により電気的に接合された多層構造を成している。

【0015】 ここで、多層とは配線パターンが形成される層をいう。この例で電子部品内蔵多層基板100は6層構造を有している。プリプレグ4、5にはガラスクロスにエポキシ系樹脂を含浸させたものや、ポリイミド系樹脂材料が使用される。基板間配線部材7、8には銅や、銀などが使用される。

【0016】 この例で、プリプレグ4は熱加圧工程における基板間用の絶縁材料の状態において、その厚みとほぼ等しい深さの収納領域が設けられ、この収納領域に電子部品3Aを挿入した状態で、電子部品実装基板1Aと内層配線基板2とが熱加圧されることにより自己整合的に熱変形したものである。プリプレグ5もその絶縁材料の状態において、その厚みとほぼ等しい深さの収納領域が設けられ、この収納領域に電子部品3Bを挿入した状態で、電子部品実装基板1Bと内層配線基板2とが熱加圧されることにより自己整合的に熱変形したものである。

【0017】 このように、本実施形態としての電子部品内蔵多層基板100によれば、電子部品実装基板1A、1Bと内層配線基板2との熱加圧工程において、電子部品3A、3Bの隅々にプリプレグ4、5を周り込ませるように電子部品3A、3Bを封じ込むことができる。従って、更なる電子部品3A、3Bの実装面積を積層方向に立体的に増加すること、及び、電子部品3A、3Bの高密度実装を行うことができる。これにより、より多くの電子部品3A、3Bの搭載を可能とし、同時に当該電

電子部品内蔵多層基板 100 の小型化が図られ、これを適用した電子機器の小型化及び多機能化を図ることができる。

【0018】続いて、電子部品内蔵多層基板 100 に係る製造方法について説明をする。図 2 A、図 2 B 及び図 3 A、図 3 B は実施形態に係る電子部品内蔵多層基板 100 の形成例（その 1、2）を示す工程断面図である。図 4 はその電子部品内蔵多層基板 100 の形成時における電子部品実装基板 1 の動作検査例を示すイメージ図である。図 5 は、その電子部品内蔵多層基板 100 の形成例（その 3）を示す工程断面図である。

【0019】この例では図 1 に示した 2 つの電子部品 3 A、3 B を実装した 6 層構造の電子部品内蔵多層基板 100 を形成する場合を想定する。例えば、電子部品実装基板 1 A、プリプレグ 4、内層配線基板 2、プリプレグ 5 及び電子部品実装基板 1 B を順に積層した電子部品内蔵多層基板 100 を形成する場合を例に採る。電子部品 3 には複数のバンブ電極 9 A、9 B などを裏面に設けたフリップチップ形式の LSI を使用し、内層配線基板 2 には予め配線パターンなどが形成されたものを使用する場合を例に挙げる。

【0020】これを前提として、まず、一方で図 2 A に示す電子部品実装用の回路基板 1 を準備する。この回路基板 1 には絶縁材料 18 の両面に銅箔 11 A、11 B を有したもの、例えば、ガラス布基材エポキシ樹脂銅張積層板（FR-4）などが使用される。この基板を加工して所定の配線パターンやラウンド電極などを形成して回路基板 1 を作成する。

【0021】例えば、基板の一方の銅箔 11 A にレジスト材料を塗布し、その後、配線パターンやラウンド電極などの形を象ったレチクル（例えばネガフィルムや乾板）を使用してレジスト材料を露光し、その後、このレジスト膜をマスクにして銅箔 11 をエッチングすることにより配線パターンや、ラウンド電極、チップマウント用の電極などが形成される。他方の銅箔 11 B にも所望の配線パターンや、ラウンド電極などを形成する。

【0022】また、回路基板 1 から動作検査用の電極が引き出される。この動作検査用の電極は試験電圧を印可したり、テストデータを供給したり、その結果データを引き出すために使用される。この電極としてテスト専用端子を設けてもよいが、端子数を極力少なくする観点から、本来の信号入力線や信号出力線に接続される電極、例えば、他の回路基板への配線部材として、ラウンド電極にスルーホールを形成し、その内部に導電部材 12 を充填する。この導電部材 12 を動作検査用の電極として兼用するようになされる。導電部材 12 には銅や、銀などが使用される。もちろん、導電材料 12 に関してはこれらの種類に限定されない。回路基板 1 としての両面銅箔基板には、エポキシ系の他にポリイミド系樹脂銅張積層板や、ビスマレイミドトリアジン（BT レジ

ン）系樹脂銅張積層板を用いてもよい。これら基板は耐熱性や、寸法安定性に優れている。

【0023】その後、図 2 B に示す回路基板 1 に電子部品 3 を実装して電子部品実装基板 1 を形成する。電子部品 3 はその裏面に設けられた複数のバンブ電極 9 A、9 B と、電子部品実装基板 1 A の表面に設けられた、図示しないチップマウント用の電極とが位置合わせされた後に、電気的かつ構造的に接合される。上述の導電材料 12 の充填とこの電子部品 3 の接続の順番は逆でもかまわない。電子部品実装基板 1 は A、B の 2 個形成する。

【0024】また、他方で、図 3 A に示す内層配線基板 2 の所定位置、つまり、電子部品実装基板 1 への信号線の入出力点となる位置に、基板間配線部材 7、8 として所定の長さの金属性の凸状の突起部を形成する。基板間配線部材 7、8 に関しては、まず、ラウンド電極などにスルーホールを形成し、そのスルーホールに銀や金などの導電部材を充填し、それを核にして立体的にその金属を凸状に突起するように形成される。このとき、電気メッキ法などを適用するとよい。突起部の長さは、基板間用の絶縁材料としてのプリプレグ 4、5 を貫通する程度を有していればよい。この突起部は内層配線基板 2 の導通検査用の電極として兼用される。もちろん、この突起部は電子部品実装基板側に設けてもよい。

【0025】その後、電子部品 3 の大きさにほぼ等しい収納領域 4 A を有した膜厚数百 μm 程度のプリプレグ 4 を内層配線基板 2 の一方の面に積層すると共に、収納領域 5 A を有した膜厚数百 μm 程度のプリプレグ 5 を内層配線基板 2 の他方の面に積層する。この際に、基板間配線部材 7、8 の突起部によりプリプレグ 4、5 を貫くように積層される。これにより、図 3 B に示す両面にプリプレグ 4、5 を有した内層配線基板 2 を形成することができる。

【0026】これらの電子部品実装基板 1 や内層配線基板 2 などが形成できたら、電子部品実装基板 1 と内層配線基板 2 とを重ね合わせる前に、図 4 に示す IC テスタ 10 などにより電子部品実装基板毎に電気的な検査を行う。この例では 1 つの電子部品実装基板 1 を 1 個の回路ブロックとして取り扱うことができ、当該電子部品内蔵多層基板 100 の実装後に、電子部品実装基板 1 に故障を生じた際には、その故障を起こした電子部品実装基板 1 のみの交換が可能となり、メンテナンス及びその修理が容易となる。

【0027】この例で動作検査用の電極には、電子部品実装基板 1 上に露出した複数の導電部材 12 などが使用される。この導電部材 12 に IC テスタ 10 のプローブ 13、14 が一斉に接触され、回路ブロック毎にローカルな実装試験が行われる。もちろん、この実装試験に関しては、予め電子部品実装基板 1 などに専用で作成されたテストデータが使用される。この例で内層配線基板 2 には能動素子が実装されないで、図示しない基板間配

線部材7、8にプローブ13、14が接触され、導通試験のみが行われる。

【0028】従って、電子部品実装基板1や内層配線基板2を積層する前に、電子部品実装基板1の不良を早期に除去することができる。この検査結果で良品と判定された電子部品実装基板1や内層配線基板2のみをプリプレグ4、5を介して積層することができる。電子部品実装基板1や内層配線基板2を全部積層した後に電気的な検査を行う場合に比べて、当該電子部品内蔵多層基板100の生産歩留まりを向上させることができる。

【0029】その後、図5に示すように、電子部品実装基板1Aの電子部品3Aとプリプレグ4の収納領域4Aとを位置合わせすると共に、内層配線基板2からの基板間配線部材7と電子部品実装基板1Aなどのラウンド電極とを位置合わせする。また、電子部品実装基板1Bの電子部品3Bとプリプレグ5の収納領域5Aとを位置合わせすると共に、内層配線基板2からの基板間配線部材8と電子部品実装基板1Bなどのラウンド電極とを位置合わせする。

【0030】そして、電子部品実装基板1Aと内層配線基板2との間にプリプレグ4を挟み込んだ状態で、しかも、内層配線基板2と電子部品実装基板1Bとの間にプリプレグ5を挟み込んだ状態で、加圧熱接合処理を施す。この際の接合処理に関しては電子部品実装基板1A、1B、内層配線基板2及びプリプレグ4、5を同一の熱処理工程により加圧熱接合する。例えば、電子部品実装基板1A、プリプレグ4、内層配線基板2、プリプレグ5及び電子部品実装基板1Bから成る積層物を170°C程度で加熱する。そして、真空プレス機などにより、この積層物を40kg/cm²程度に加圧する。

【0031】これにより、電子部品実装基板1Aと内層配線基板2とがプリプレグ4により構造的に接合され、電子部品実装基板1Aと内層配線基板2とが、基板間配線部材7を構成する金属がつぶれて電気的に接合される。これと共に、内層配線基板2と電子部品実装基板1Bとがプリプレグ5により自己整合的に接合され、内層配線基板2と電子部品実装基板1Bとが基板間配線部材8を構成する金属がつぶれて電気的に接合される。

【0032】この基板積層に際する加圧熱接合処理による応力は、電子部品実装基板1Aの下の電子部品3Aの隅々にプリプレグ4を強制的に周り込ませ、これと同時に、電子部品実装基板1Bの上の電子部品3Bの隅々にプリプレグ5を強制的に周り込ませるように働く。従って、電気的に基板間が接続されると共に、各々の部材間が自己整合的に熱接合され、図1に示した電子部品内蔵多層基板100を形成することができる。こうして得られた電子部品内蔵多層基板100の外面に更に抵抗や、コンデンサなどの部品を更に実装するようになされる。

【0033】このように、本実施形態に係る電子部品内蔵多層基板の製造方法によれば、電子部品実装基板1

A、1Bの電子部品3A、3Bの隅々にプリプレグ4、5を周り込ませることができるので、電子部品実装基板1Aと内層配線基板2との間に電子部品3Aを再現性良く封じ込むこと、及び、電子部品実装基板1Bと内層配線基板2との間に電子部品3Bを再現性良く封じ込むことができる。

【0034】本発明者らが基板面積をシュミレーションした結果によれば、実装基板上に平面に5個のLSIを表面実装する場合（現行のCSP: Chip Size Packageを使用した従来方式）に比べて、5個のLSIを基板内に内蔵する本発明方式では、従来方式の40～50%の小型化が図れることが明確になった。従って、更なる電子部品の実装面積を積層方向に立体的に増加すること、及び、電子部品の高密度実装を行うことができる。

【0035】

【発明の効果】以上説明したように、本発明に係る電子部品内蔵多層基板によれば、電子部品実装基板、基板間絶縁層及び配線回路基板から成る積層構造を有し、この基板間絶縁層は、予め基板間用の絶縁部材に電子部品の大きさにほぼ等しい収納領域が設けられ、その収納領域に電子部品を挿入した状態で、電子部品実装基板と配線回路基板とが熱加圧されて成るものである。この構成によって、電子部品実装基板と配線回路基板との熱加圧工程において、電子部品の隅々に基板間用の絶縁部材を周り込ませるように電子部品を封じ込むことができる。従って、更なる電子部品の実装面積を積層方向に立体的に増加すること、及び、電子部品の高密度実装を行うことができる。

【0036】本発明に係る電子部品内蔵多層基板の製造方法によれば、電子部品の大きさにほぼ等しい収納領域を有した基板間用の絶縁部材を形成し、その後、その収納領域と電子部品とを位置合わせをして電子部品実装基板上に基板間用の絶縁部材及び配線回路基板を順に積層し、その後、電子部品実装基板、基板間用の絶縁部材及び配線回路基板とを熱加圧して貼合するようになされる。この構成によって、電子部品実装基板上の電子部品の隅々に基板間用の絶縁部材を周り込ませることができるので、電子部品実装基板と配線回路基板との間に電子部品を再現性良く封じ込むことができる。この発明はLSIや、抵抗、コンデンサなどを高密度実装した携帯端末装置などに適用して極めて好適である。

【図面の簡単な説明】

【図1】実施形態としての電子部品内蔵多層基板100の構造例を示す断面図である。

【図2】A、Bは実施形態としての電子部品内蔵多層基板100の形成例（その1）を示す工程断面図である。

【図3】A、Bは実施形態としての電子部品内蔵多層基板100の形成例（その2）を示す工程断面図である、

【図4】その電子部品内蔵多層基板100の形成時に於ける電子部品実装基板1の動作検査例を示すイメージ図

である。

【図5】実施形態としての電子部品内蔵多層基板100の形成例（その3）を示す断面図である。

【符号の説明】

1, 1A, 1B・・・電子部品実装基板（回路基板）、

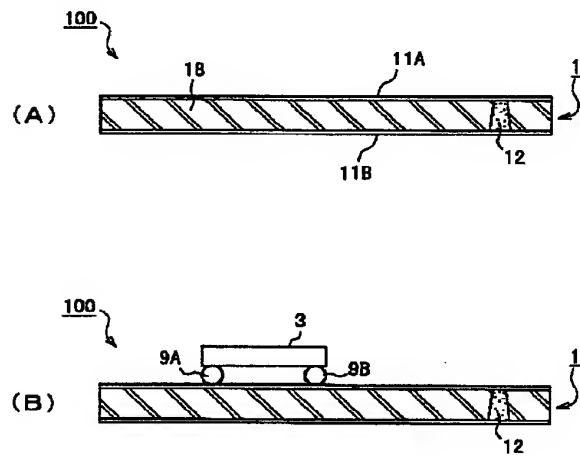
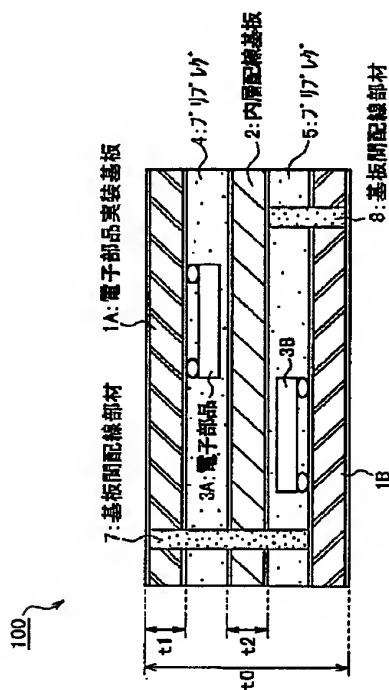
2・・・内層配線基板（配線回路基板）、3A, 3B・・・電子部品、4, 5・・・プリプレグ（基板間絶縁層、絶縁材料）、7, 8・・・基板間配線部材（導電性の部材）、100・・・電子部品内蔵多層基板

【図1】

【図2】

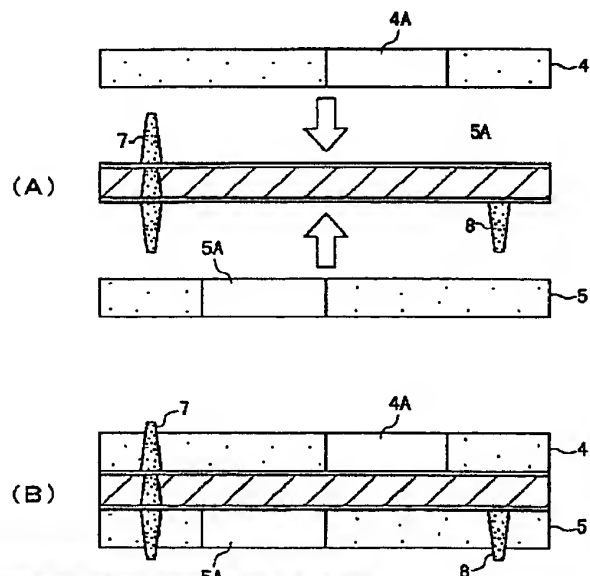
実施形態としての電子部品内蔵多層基板100の構造例

実施形態としての電子部品内蔵多層基板100の形成例（その1）



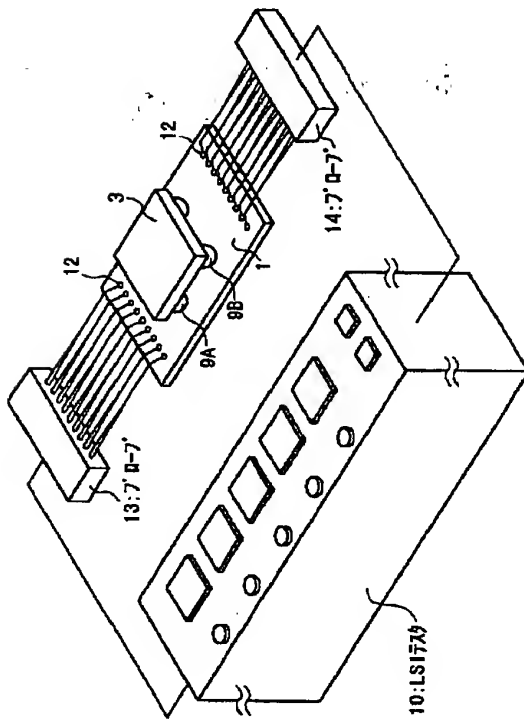
【図3】

実施形態としての電子部品内蔵多層基板100の形成例（その2）



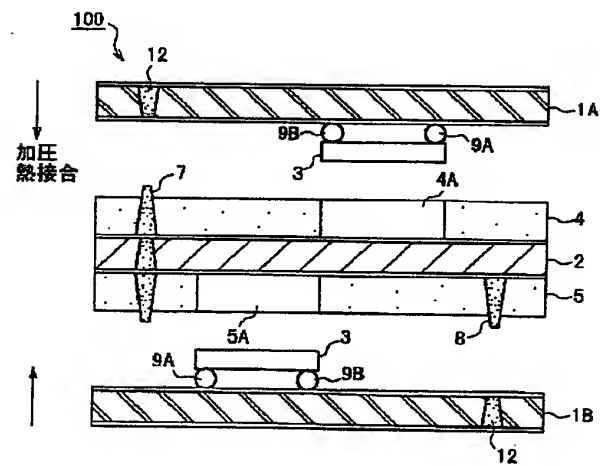
【図4】

電子部品実装基板1の動作検査例



【図5】

実施形態としての電子部品内蔵多層基板100の形成例(その3)



This Page Blank (uspto)